

CHAO

August 27, 2003

BSKB, LLP

763 2003-8000

4459-0149

1061

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 27 日
Application Date

申請案號：091119466
Application No.

申請人：趙元任
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 6 月 12 日
Issue Date

發文字號：09220576740
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	多晶片整合模組
	英 文	MULTI-CHIP INTEGRATED MODULE
二、 發明人	姓 名 (中文)	1. 趙元任
	姓 名 (英文)	1. CHAO, YUAN-JEN
	國 籍	1. 中華民國 R.O.C.
	住、居所	1. 高雄市鼓山區翠華區497巷31號9樓(9Fl., No. 31, Lane 497, Tsueihua Rd., Gushan Chiu, Kaohsiung, Taiwan 804, R.O.C.)
三、 申請人	姓 名 (名稱) (中文)	1. 趙元任
	姓 名 (名稱) (英文)	1. CHAO, YUAN-JEN
	國 籍	1. 中華民國 R.O.C.
	住、居所 (事務所)	1. 高雄市鼓山區翠華區497巷31號9樓(9Fl., No. 31, Lane 497, Tsueihua Rd., Gushan Chiu, Kaohsiung, Taiwan 804, R.O.C.)
	代表人 姓 名 (中文)	1.
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：多晶片整合模組)

本發明提供一種多晶片整合模組，包含一透明基板、至少二晶片、及一電路基板。透明基板之一表面上係至少佈設有一電路層，電路層係設有作為內部電性連接用之電路與對外部電連用之複數個電連墊；複數個晶片係分別以覆晶接合方式而設置於該透明基板上，而使該等晶片與該內部電性連接用電路構成一電路系統；電路基板係用以承載設有該等晶片之該透明基板，電路基板係至少設有一電路層，該透明基板上之電連墊與該電路基板之電路層電連。此外，本發明亦提供另一種多晶片整合模組。

英文發明摘要 (發明之名稱：MULTI-CHIP INTEGRATED MODULE)

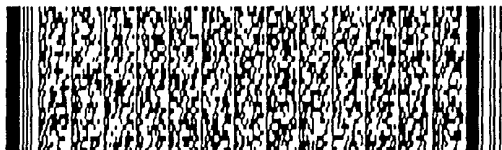
A multi-chip integrated module, including a transparent substrate, at least two chips, and a circuit substrate. In this case, a circuit layer is formed on one surface of the transparent substrate, wherein the circuit layer includes a circuit for electrical inter-connection and a plurality of electrical pads for electrically connecting to outward. The chips are mounted on the transparent substrate using flip-chip bonding, respectively. Thus the chips and the circuit for



四、中文發明摘要 (發明之名稱：多晶片整合模組)

英文發明摘要 (發明之名稱：MULTI-CHIP INTEGRATED MODULE)

electrical inter-connection construct a circuit system. The circuit substrate carries the transparent substrate, on which the chips are mounted. The circuit substrate at least includes a circuit layer, which electrically connects to the electrical pads of the transparent substrate. Furthermore, this invention also discloses another multi-chip integrated module.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明係關於一種多晶片整合模組，特別係關於一種具透明基板之多晶片整合模組。

【習知技術】

當電子系統的功能日益強大，而其體積又不斷追求輕薄短小時，習知的積體電路封裝 (IC package) 及印刷電路板 (printed circuit board, printed wiring board) 製造技術已經不能滿足需求，因此，將更多複雜之功能整合 (integrate) 在單一積體電路晶片中，或是將更多複雜之功能整合 (integrate) 在單一封裝中趨勢至為明顯。

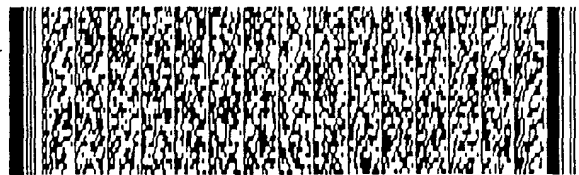
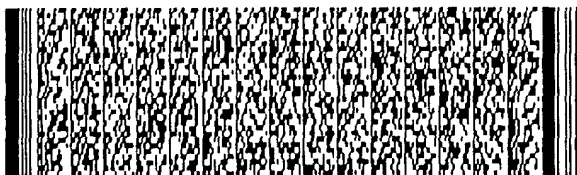
就將多種功能整合於一積體電路晶片中而言，若其功能已經可以視為一系統時，則稱為系統級晶片 (SoC, system on chip)。系統級晶片雖然有其優點，但其缺點也不少，最為業者所苦的缺點有：

1. 第一矽片時間 (first silicon time) 過長，亦即由於IC設計難度提高，故從IC設計開始到第一晶片之時間間隔往往無法趕上市場需求。

2. 需要從多個供應商處購買使用不同的生產製造的智財 (IP)，亦即需要購買使用所謂的矽智財 (SIP)。

3. 欲將不同功能及不同製程之晶片整合在同一晶片中並不容易，一般而言，整合後之晶片性能會下降。

4. 測試不易 (difficult to test)。



五、發明說明 (2)

5. 良率過低(lower yield)。

有鑑於上述系統級晶片之缺點，近來業者乃開發出將不同晶片封裝在同一封裝體內的技術，即所謂的多晶片封裝(MCP, multi-chips package)或是多晶片模組(MCM)技術。接著，當多晶片封裝的技術發展到一定程度之後，將位於同一封裝體內之各晶片間的聯合功能已經可以視為一系統，而此即稱為系統級封裝(SiP, system in package)。而就MCP/MCM或是SiP而言，雖然可以解決部分系統級晶片之缺點，但仍有其缺點：

1. 就一般的多晶片封裝或多晶片模組或系統級封裝而言，由於其必須提供互連密度極高的基板，因此有高成本的限制。

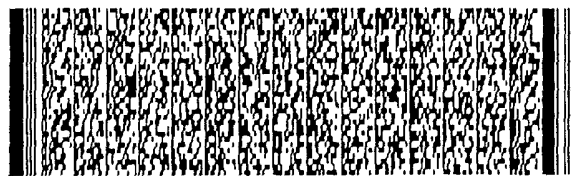
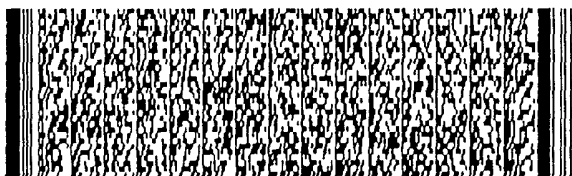
2. 若採用晶片堆疊(stacked die)方式來進行多晶片封裝時，則有晶片大小的限制問題。

3. 對於高外引腳(high pin-count)封裝而言，則會有封裝技術上的困難。

承上所述，不管是將多晶片整合成單一晶片，或是將多晶片整合於一封裝體中，在現行的技術上均有其缺點。因此，如何提供一種能夠解決上述缺點之多晶片整合技術，實乃當前重要課題之一。

【發明概要】

有鑑於上述問題，是以本發明乃跳脫習知SoC及SiP等相關技術之思維，而著眼於基板之材料選用及晶片整合相



五、發明說明 (3)

關 技 術 開 發。

承上所述，本發明之一目的係提供一種研發時間短、測試容易、高良率、無晶片大小限制、良好的高頻特性、散熱效果佳、及信賴度高的多晶片整合模組。

而，本發明之另一目的係提供另一種研發時間短、測試容易、高良率、具有高外引腳、無晶片大小限制、良好的高頻特性、散熱效果佳、信賴度高、及成本低的多晶片整合模組。

本發明之一特徵係採用一形成有極精密電路之透明基板為多晶片之基板，各晶片係採用覆晶接合方式設置於透明基板上，而，透明基板係載置於一電路基板上，且藉由形成於透明基板上之電連墊與電路基板電連。

而，本發明之另一特徵係採用一形成有極精密電路之透明基板為多晶片之基板，而，透明基板之一表面上係至少佈設有一電路層，電路層係設有作為內部電性連接用之電路與對外連接用之複數個電連墊，該內部電性連接用之電路中係局部形成有凸塊，而使各晶片能以覆晶接合方式設置於透明基板上。

緣是，為達上述目的，本發明係提供一種多晶片整合模組，其係包括一透明基板、至少二晶片、及一電路基板。透明基板之一表面上係至少佈設有一電路層，電路層係設有作為內部電性連接 (electrical inter-connection) 用之電路與複數個電連墊

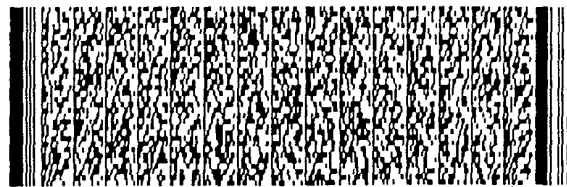
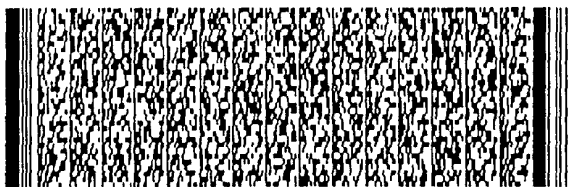
(electrical pad)；複數個晶片 (chip) 係分別以覆晶



五、發明說明 (4)

接合方式(flip-chip bonding)而設置於該透明基板上，而使該等晶片與該內部電性連接用電路構成一電路系統；電路基板中係至少設有一電路層，且用以承載設有該等晶片之該透明基板，該透明基板上之電連墊係與該電路基板之電路層電連。在此值得一提的是，於本發明中，該電路基板亦可具有一中空部，以便該透明基板載置於該電路基板上時，可使該等晶片容置於該電路基板之中空部內。

就此種多晶片整合模組而言，由於透明基板可以是玻璃基板，而玻璃基板與晶片之矽材的熱膨脹係數相近，因此透明基板上與晶片電連用之內部電性連接用電路的大小與間距可以形成屬於晶片級之大小與間距，進而言之，透明基板上之電路層各線路之大小與間距亦可相對縮小，因此可以大大縮小透明基板面積，又由於只需將不同功能晶片分別以覆晶方式接合於該透明基板上，所以具有研發時間短、測試容易、良率高、及無晶片大小限制的優點。另外，使用透明基板，尤其是玻璃基板，可以提供極高的絕緣性，以降低高頻信號因寄生電容及寄生漏電電阻而衰減之現象，因此具有良好的高頻特性。而玻璃基板之熱膨脹係數係與半導體晶片的熱膨脹係數相近，故能夠避免因多晶片封裝內部材料熱膨脹係數不同所導致之可靠度降低的問題。另外，由於各晶片係以覆晶方式接合於透明基板上，因此其係可藉由晶背散熱，且該電路基板具有一中空部，而使該等晶片容置於該電路基板之中空部內，故具有良好的散熱效果。當然，若電路基板係為一般之印刷電路



五、發明說明 (5)

板時，則該種多晶片整合模組亦可適當降低成本。

又，本發明亦提供一種多晶片整合模組，其係包括一透明基板、及至少二晶片。透明基板之一表面上係至少佈設有一電路層，電路層係設有作為內部電性連接

(electrical inter-connection) 用之電路與對外電連接之複數個電連墊 (electrical pad)，該內部電性連接用之電路中係局部形成有凸塊；複數晶片 (chips) 係分別以覆晶接合方式 (flip-chip bonding) 而與該內部電性連接用電路中之凸塊電連接，而使該等晶片與該內部電性連接用之電路構成一電路系統。另外，為因應對外部連接需要，該等電連墊上亦可分別形成有一凸塊。

就此種多晶片整合模組而言，由於透明基板可以是玻璃基板，而玻璃基板與晶片之矽材的熱膨脹係數相近，因此透明基板上與晶片電連用之內部電性連接用電路的大小與間距可以形成屬於晶片級之大小與間距，進而言之，透明基板上之電路層各線路之大小與間距亦可相對縮小，因此可以大大縮小透明基板面積，又由於只需將不同功能晶片分別以覆晶方式接合於該透明基板上，所以具有研發時間短、測試容易、良率高、及無晶片大小限制的優點。另外，使用透明基板，尤其是玻璃基板，可以提供極高的絕緣性，以降低高頻信號因寄生電容及寄生漏電電阻而衰減之現象，因此具有良好的高頻特性。而玻璃基板的熱膨脹係數係與半導體晶片的熱膨脹係數相近，故能夠避免因多晶片封裝內部材料熱膨脹係數不同所導致之可靠度降低的



五、發明說明 (6)

問題。再者，由於各晶片與透明基板之內部電性連接用電路構成一電路系統，且該等電連墊上係預先形成有凸塊，因此可具有類似BGA封裝技術中之凸塊二維排列效果，換言之其係具有高外引腳功能。另外，由於各晶片係以覆晶方式接合於透明基板上，因此其係可藉由晶背散熱，故具有良好的散熱效果。此外，由於透明基板可以是玻璃基板，而玻璃基板之單位成本係遠比其他基板來的便宜，因此可以降低成本，又，因內部電性連接用電路之局部係形成有與晶片電連用之凸塊，故不需預先於每一晶片上形成凸塊，故能進一步降低成本。

【較佳實施例之詳細說明】

以下將參照圖1~圖7，來說明依本發明較佳實施例之一多晶片整合模組。

如圖1A或圖2或圖3所示，依本發明較佳實施例之多晶片整合模組1係包括一透明基板11、至少二晶片12、12、及一電路基板13。

該透明基板11之一表面上係至少佈設有一電路層110，該電路層110係設有作為內部電性連接(electrical inter-connection)用之電路111與複數個電連墊112

(electrical pad)。於本發明中，該透明基板11係可以是玻璃基板，而該等電連墊112上更可分別形成有一凸塊113，其中，如圖2、圖3所示，該凸塊113係可以是焊接凸塊(例如錫球凸塊，solder bump)，或是如圖1所示，該凸

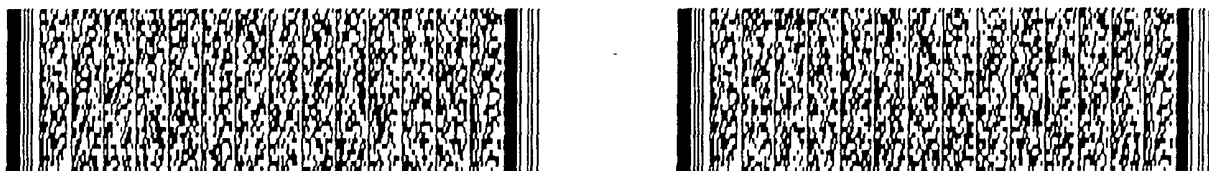


五、發明說明 (7)

塊113亦可是金凸塊、或是銅凸塊。

該等晶片12 (chips) 係分別以覆晶接合方式 (flip-chip bonding) 而設置於該透明基板11上，而使該等晶片12與該內部電性連接用電路111構成一電路系統。於本發明中，如圖1B、圖1C所示，覆晶接合方式係可採用異方性導電膠(ACF)171作為互連材料，而將晶片12貼裝於透明基板11上，又，如圖1B所示，當將晶片12貼裝於透明基板11上時，係可先在晶片12之電連墊122上形成凸塊121(一般為金凸塊)，然後再經由異方性導電膠(ACF)中之導電粒子1711(一般為金球)與該透明基板11上之內部電性連接用電路111進行電連接；或是如圖1C所示，可先在透明基板11上之內部電性連接用電路111形成凸塊114(一般為金凸塊)，然後再經由異方性導電膠(ACF)中之導電粒子1711(一般為金球)與該晶片12進行電連接。覆晶接合方式除利用ACF之外，亦可利用焊接凸塊來進行覆晶接合，如圖3所示，該透明基板11上之內部電性連接用電路111上亦可預先形成有焊接凸塊114，然後再將裸晶(die)貼粘於該透明基板11上之內部電性連接用電路111上。當然，除上述方式之外亦有其他覆晶接合方式，在此則省略不談。

該電路基板13係用以承載設有該等晶片12之該透明基板11，該電路基板13中係至少設有一電路層131，設有該等晶片12之該透明基板11係藉由形成於該透明基板11上之電連墊112與該電路基板13之電路層131電連。於本發明之

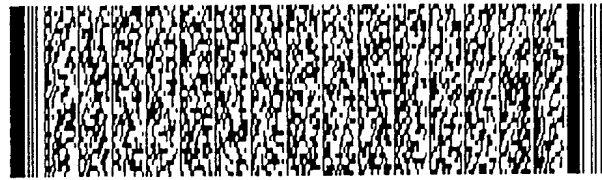
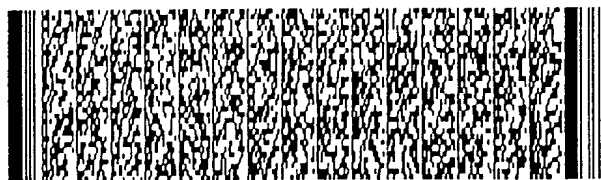


五、發明說明 (8)

實施例中，該電連墊112係藉由形成於該等電連墊112上之凸塊113而與該電路層131電連。於本發明之實施例中，該電路基板13係可為一般印刷電路板(PCB)，或是印刷佈線板(PWB)，在本發明之實施例中，一般印刷電路板(PCB)或是印刷佈線板(PWB)均統稱為印刷電路板。在此值得一提的是，該電路基板13中亦可係具有一中空部132，以便該透明基板11載置於該電路基板13上時，該等晶片12係容置於該電路基板13之中空部132內。另外，如不需考量散熱效果時，該電路基板13並不需形成有中空部(如圖4、圖5所示)，但，在此一情況下，該等電連墊112上之凸塊113必須較大，以使該等晶片12不會接觸該電路基板13。再者，如圖6所示，當該電路基板13具有一中空部132時，亦可於該等晶片12之晶背上加設一散熱元件14，如此更可增加其散熱效果。

此外，如圖7所示，於本發明之實施例中，當該等晶片12與該內部電性連接用電路111構成一電路系統時，亦可在該透明基板11之內部電性連接用電路111上設置至少一被動元件15或是至少一主動元件16，以便系統設者設計出一功能強大之電路系統，或是方便產品進行測試。

承上所述，就本實施例之多晶片整合模組而言，由於透明基板11可以是玻璃基板，而玻璃基板與晶片12之矽材的熱膨脹係數相近，因此透明基板11上與晶片12電連用之內部電性連接用電路的大小與間距可以形成屬於晶片級之大小與間距，進而言之，透明基板上之電路層各線路之大

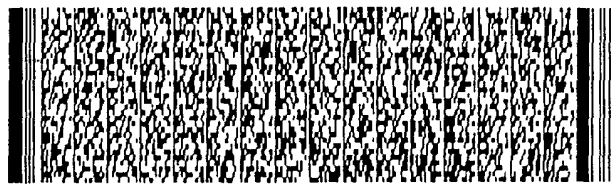
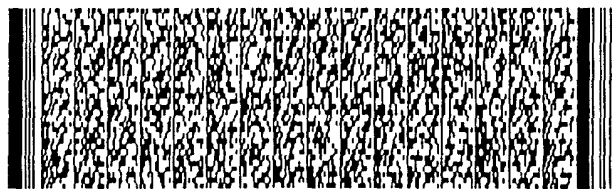


五、發明說明 (9)

小與間距亦可相對縮小，因此可以大大縮小透明基板面積。又由於只需將不同功能晶片分別以覆晶方式接合於該透明基板11上，所以具有研發時間短、測試容易、良率高、及無晶片大小限制的優點。另外，使用透明基板11，尤其是玻璃基板，可以提供極高的絕緣性，以降低高頻信號因寄生電容及寄生漏電電阻而衰減之現象，因此具有良好的高頻特性。而玻璃基板的熱膨脹係數係與半導體晶片的熱膨脹係數相近，故能夠避免因多晶片封裝內部材料熱膨脹係數不同所導致之可靠度降低的問題。另外，由於各晶片12係以覆晶方式接合於透明基板11上，且該電路基板具有一中空部，而使該等晶片容置於該電路基板之中空部內，因此其係可藉由晶背散熱，加上該晶背上更可設有一散熱元件14，故具有良好的散熱效果。當然，若電路基板係為一般之印刷電路板時，則該種多晶片整合模組亦可適當降低成本。另外，值得一提的是，由於透明基板11係透明，因此當晶片12貼粘於該透明基板11時，或是透明基板11以表面粘著技術(SMT)貼粘於電路基板13上時，均可輕易利用其透明特性來進行缺陷檢查，如此更可大大提昇產品之良率與信賴性，此點乃一般封裝技術(例如BGA封裝)所無法達成，因為一般封裝用基板均不透明。

以下將參照圖8~圖12，來說明依本發明較佳實施例之另一多晶片整合模組。由於本實施例係部分與上一實施例相同，因此為避免冗述，部分說明將予以省略。

如圖所示，依本發明較佳實施例之另一多晶片整合模

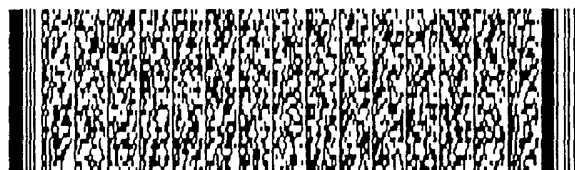


五、發明說明 (10)

組2係包括一透明基板21、及至少二晶片22、22。

該透明基板21之一表面上係至少佈設有一電路層210，該電路層210係設有作為內部電性連接 (electrical inter-connection) 用之電路211。如圖8A、圖8B、及圖9所示，該內部電性連接用之電路211中係局部形成有複數個凸塊214。此外，如圖10~圖12所示，為因應對外部連接需要，該電路層210係更可設有與外部電連接用之複數個電連墊212 (electrical pad)，該等電連墊212上亦可分別形成有一凸塊213 (bump)。於本發明中，該透明基板21係可以是玻璃基板，而該凸塊213係可以是焊接凸塊 (例如錫球凸塊，solder bump)，或是金凸塊、銅凸塊；而，該凸塊214係可以是焊接凸塊 (例如錫球凸塊，solder bump)，或是金凸塊。

該等晶片22 (chip) 係分別以覆晶接合方式 (flip-chip bonding) 而與該內部電性連接用電路211中之凸塊214電連接，而使該等晶片22與該內部電性連接用之電路211構成一電路系統。如圖8A所示，該覆晶接合方式係可採用異方性導電膠 (ACF) 251 作為互連材料，而將晶片22 (裸晶, die) 貼裝於透明基板21上，又，如圖8B所示，當將晶片22貼裝於透明基板21上時，係在透明基板21上之內部電性連接用電路211上形成凸塊214 (一般為金凸塊)，然後再經由異方性導電膠 (ACF) 中之導電粒子2511 (一般為金球) 與該晶片22進行電連接。覆晶接合方式除利用ACF之外，亦可利用焊接凸塊來進行覆晶接合，如圖9所示，該

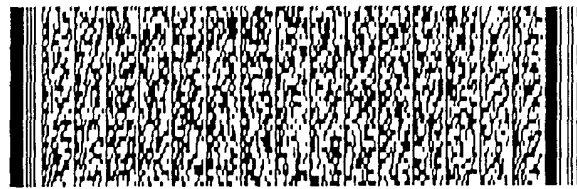
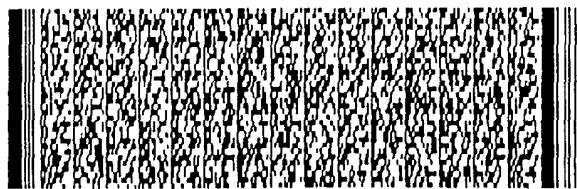


五、發明說明 (11)

透明基板21上之內部電性連接用電路211上之凸塊214亦可為焊接凸塊。當然，除上述方式之外亦有其他覆晶接合方式，在此則省略不談。

此外，如圖10~圖12所示，於本發明中，當該等晶片22與該內部電性連接用電路211構成一電路系統時，亦可在該透明基板21之內部電性連接用電路211上設置至少一被動元件23或是至少一主動元件24，以便系統設者設計出一功能強大之電路系統，或是方便產品進行測試。

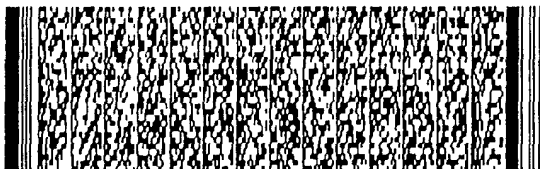
承上所述，就本實施例之多晶片整合模組而言，由於透明基板21可以是玻璃基板，而玻璃基板與晶片之矽材的熱膨脹係數相近，因此透明基板21上與晶片22電連用之內部電性連接用電路的大小與間距可以形成屬於晶片級之大小與間距，進而言之，透明基板21上之電路層各線路之大小與間距亦可相對縮小，因此可以大大縮小透明基板21面積，又由於只需將不同功能晶片分別以覆晶方式接合於該透明基板21上，所以具有研發時間短、測試容易、良率高、及無晶片大小限制的優點。另外，使用透明基板21，尤其是玻璃基板，可以提供極高的絕緣性，以降低高頻信號因寄生電容及寄生漏電電阻而衰減之現象，因此具有良好的高頻特性。而玻璃基板的熱膨脹係數係與半導體晶片的熱膨脹係數相近，故能夠避免因多晶片封裝內部材料熱膨脹係數不同所導致之可靠度降低的問題。再者，由於各晶片22與透明基板21之內部電性連接用電路211構成一電路系統，且該等電連墊212上係分別預先形成有凸塊213，



五、發明說明 (12)

因此可具有類似BGA封裝技術中之凸塊二維排列效果，換言之，其係具有高外引腳功能。另外，由於各晶片22係以覆晶方式接合於透明基板21上，因此其係可藉由晶背散熱，故具有良好的散熱效果。此外，由於透明基板21可以是玻璃基板，而玻璃基板之單位成本係遠比其他基板來的便宜，因此可以降低成本，又，因內部電性連接用電路之局部係形成有與晶片電連用之凸塊，故不需預先於每一晶片上形成凸塊，故能進一步降低成本。另外，值得一提的是，由於透明基板21係透明，因此當晶片22貼粘於該透明基板21時，或是透明基板21以表面粘著技術(SMT)貼粘於一電路基板上時，均可輕易利用其透明特性來進行缺陷檢查，如此更可大大提昇產品之良率與信賴性，此點乃一般封裝技術(例如BGA封裝)所無法達成，因為一般封裝用基板均不透明。

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。



圖式簡單說明

【圖式簡單說明】

圖1A係本發明之一較佳實施例之多晶片整合模組的剖面側視圖，其中，該等晶片係以異方性導電膠(ACF)而貼粘於該透明基板上。

圖1B係圖1A所示之虛線位置之局部放大示意圖。

圖1C係圖1A所示之虛線位置之另一局部放大示意圖。

圖2係本發明之一較佳實施例之多晶片整合模組的另一剖面側視圖，其中，該等晶片係以異方性導電膠(ACF)而貼粘於該透明基板上，且該透明基板係藉由焊接凸塊而置於該電路基板上。

圖3係本發明之一較佳實施例之多晶片整合模組的另一剖面側視圖，其中，該等晶片係以焊接凸塊而貼粘於該透明基板上，而該透明基板係藉由焊接凸塊而置於該電路基板上。

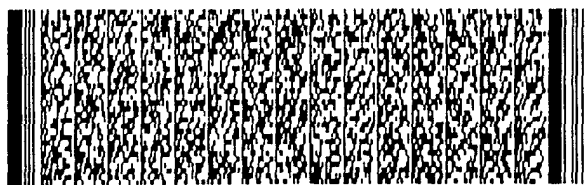
圖4係本發明之一較佳實施例之多晶片整合模組的又一剖面側視圖，其中，該電路基板係未設有中空部。

圖5係本發明之一較佳實施例之多晶片整合模組的再一剖面側視圖，其中，該電路基板係未設有中空部。

圖6係本發明之一較佳實施例之多晶片整合模組的再一剖面側視圖，其中，各晶片之晶背上係設有散熱元件。

圖7係本發明之一較佳實施例之多晶片整合模組的再一剖面側視圖，其中，該透明基板上係設有被動元件或主動元件，而各晶片之晶背上係設有散熱元件。

圖8A係本發明之另一較佳實施例之多晶片整合模組的



圖式簡單說明

剖面側視圖，其中，該透明基板之電路上係形成有凸塊（金或焊接凸塊）。

圖8B係圖8A所示之多晶片整合模組之局部放大示意圖。

圖9係本發明之另一較佳實施例之另一多晶片整合模組的剖面側視圖，其中，該透明基板之內部電性連接用電路上係形成有凸塊（焊接凸塊）。

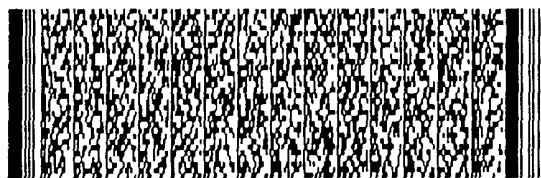
圖10係本發明之另一較佳實施例之又一多晶片整合模組的剖面側視圖，其中，該透明基板之電連墊上係形成有凸塊（金或銅），而該透明基板上係形成有被動元件或主動元件。

圖11係本發明之另一較佳實施例之再一多晶片整合模組的剖面側視圖，其中，該透明基板之電連墊上係形成有凸塊（焊接凸塊），而該透明基板上係形成有被動元件或主動元件。

圖12係本發明之另一較佳實施例之另一多晶片整合模組的剖面側視圖，其中，該透明基板之內部電性連接用電路上係形成有凸塊（焊接凸塊），且該透明基板之電連墊上亦形成有凸塊（焊接凸塊），而該透明基板上係形成有被動元件或主動元件。

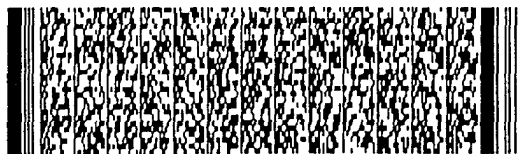
【圖式符號說明】

- 1 多晶片整合模組
- 11 透明基板



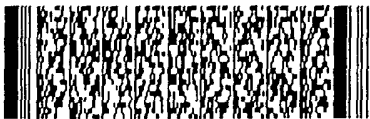
圖式簡單說明

- 110 電路層
- 111 內部電性連接用電路
- 112 電連墊
- 113 凸塊(焊接凸塊、金凸塊、銅凸塊)
- 114 凸塊(焊接凸塊、金凸塊)
- 12 晶片
- 121 凸塊
- 122 電連墊
- 13 電路基板
- 131 電路層
- 132 中空部
- 14 散熱元件
- 15 被動元件
- 16 主動元件
- 171 異方性導電膠
- 1711 導電粒子
- 2 多晶片整合模組
- 21 透明基板
- 210 電路層
- 211 內部電性連接用電路
- 212 電連墊
- 213 凸塊(焊接凸塊、金凸塊、銅凸塊)
- 214 凸塊(焊接凸塊、金凸塊)
- 22 晶片



圖式簡單說明

- 23 被動元件
- 24 主動元件
- 251 異方性導電膠
- 2511 導電粒子



六、申請專利範圍

1、一種多晶片整合模組，包含：

一透明基板，其一表面上係至少佈設有一電路層，該電路層係設有作為內部電性連接用之電路與複數個電連墊；

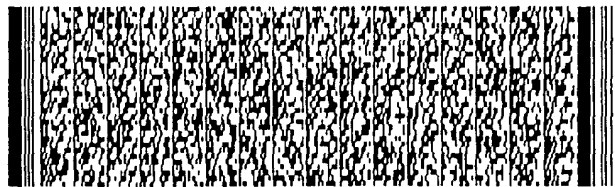
至少二晶片，其係分別以覆晶接合方式而設置於該透明基板上，而使該等晶片與該內部電性連接用電路構成一電路系統；及

一電路基板，其係用以承載設有該等晶片之該透明基板，該電路基板至少設有一電路層，該透明基板上之電連墊係與該電路基板之電路層電連。

2、如申請專利範圍第1項所述之多晶片整合模組，其中該透明基板為一玻璃基板。

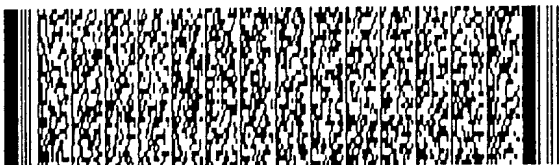
3、如申請專利範圍第1項所述之多晶片整合模組，其中，於該透明基板之電連墊上更分別形成有一凸塊，俾使該等電連墊與該電路基板之電路層電連。

4、如申請專利範圍第1項所述之多晶片整合模組，其中，於該透明基板之內部電性連接用之電路中更局部形成有複數個凸塊，該等晶片係為裸晶，分別以覆晶接合方式而與該內部電性連接用電路中之該等凸塊電連接，而設置於該透明基板上。



六、申請專利範圍

- 5、如申請專利範圍第3項或第4項所述之多晶片整合模組，其中該等凸塊係焊接凸塊。
- 6、如申請專利範圍第3項或第4項所述之多晶片整合模組，其中該等凸塊係金凸塊。
- 7、如申請專利範圍第3項所述之多晶片整合模組，其中該等凸塊係銅凸塊。
- 8、如申請專利範圍第1項所述之多晶片整合模組，其中該電路基板係具有一中空部，該透明基板載置於該電路基板上時，該等晶片係容置於該電路基板之中空部內。
- 9、如申請專利範圍第8項所述之多晶片整合模組，其中各晶片之晶背上係設有一散熱元件。
- 10、如申請專利範圍第1項所述之多晶片整合模組，其中該電路基板係印刷電路基板。
- 11、如申請專利範圍第1項所述之多晶片整合模組，其中該透明基板更至少設有一被動元件，該被動元件係電連接於該透明基板之內部電性連接用電路。
- 12、如申請專利範圍第1項所述之多晶片整合模組，其中



六、申請專利範圍

該透明基板更至少設有一主動元件，該主動元件係電連接於該透明基板之內部電性連接用電路。

13、一種多晶片整合模組，包含：

一透明基板，其一表面上係至少佈設有一電路層，該電路層係設有作為內部電性連接用之電路，該內部電性連接用之電路中係局部形成有複數個凸塊；及

至少二晶片，其係為裸晶，分別以覆晶接合方式而與該內部電性連接用電路中之該等凸塊電連接，而使該等晶片與該內部電性連接用之電路構成一電路系統。

14、如申請專利範圍第13項所述之多晶片整合模組，其中，該透明基板之電路層更設有複數個與外部電連用之電連墊，該等電連墊上係分別形成有一凸塊。

15、如申請專利範圍第13項所述之多晶片整合模組，其中該透明基板為一玻璃基板。

16、如申請專利範圍第13項或第14項所述之多晶片整合模組，其中該等凸塊係焊接凸塊。

17、如申請專利範圍第13項或第14項所述之多晶片整合模組，其中該等凸塊係金凸塊。

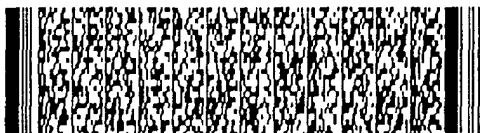


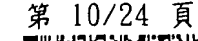
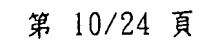
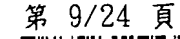
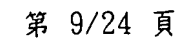
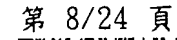
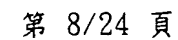
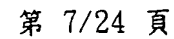
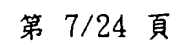
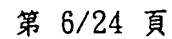
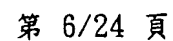
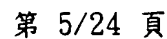
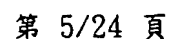
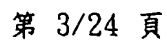
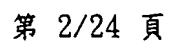
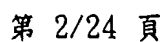
六、申請專利範圍

18、如申請專利範圍第14項所述之多晶片整合模組，其中該等凸塊係銅凸塊。

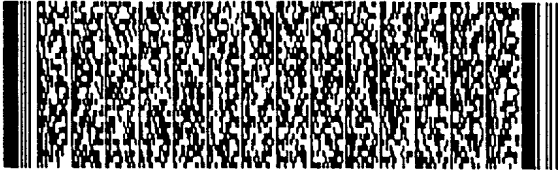
19、如申請專利範圍第13項所述之多晶片整合模組，其中該透明基板上更至少設有一被動元件，該被動元件係電連接於該透明基板之內部電性連接用電路。

20、如申請專利範圍第13項所述之多晶片整合模組，其中該透明基板上更至少設有一主動元件，該主動元件係電連接於該透明基板之內部電性連接用電路。

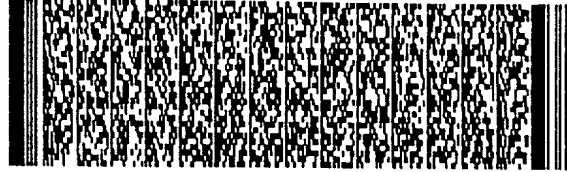




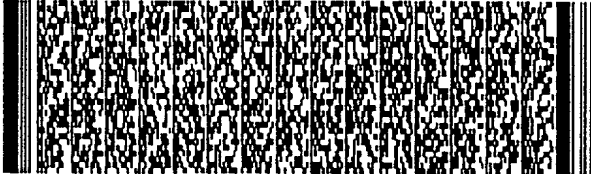
第 11/24 頁



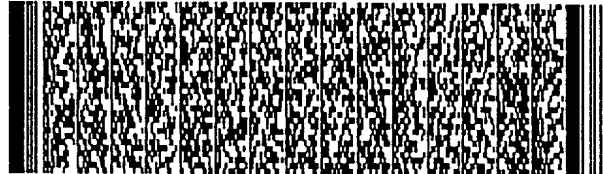
第 11/24 頁



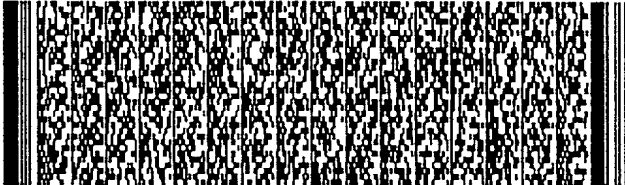
第 12/24 頁



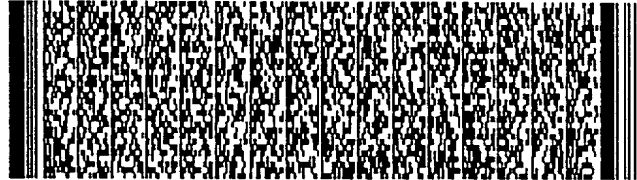
第 12/24 頁



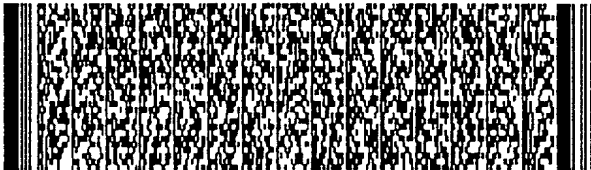
第 13/24 頁



第 13/24 頁



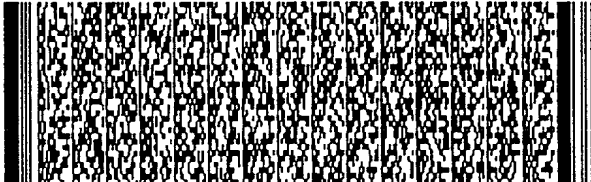
第 14/24 頁



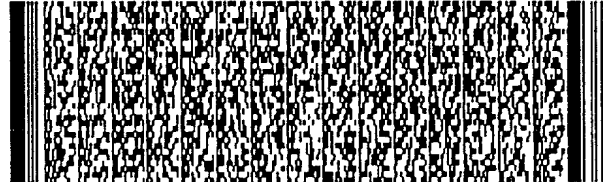
第 14/24 頁



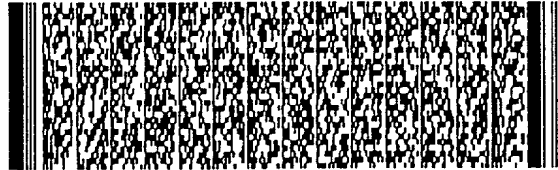
第 15/24 頁



第 15/24 頁



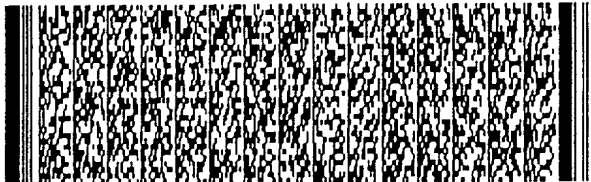
第 16/24 頁



第 16/24 頁



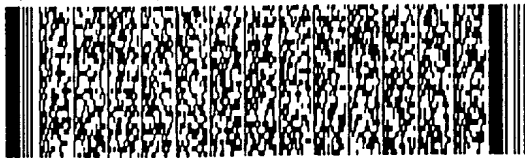
第 17/24 頁



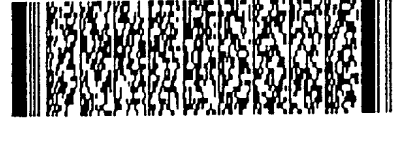
第 18/24 頁



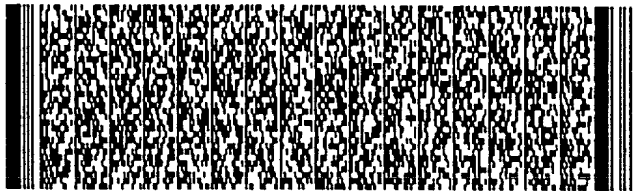
第 19/24 頁



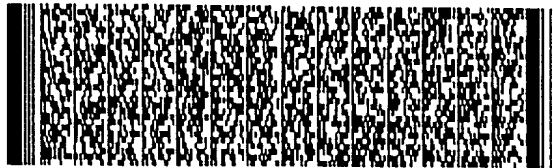
第 20/24 頁



第 21/24 頁



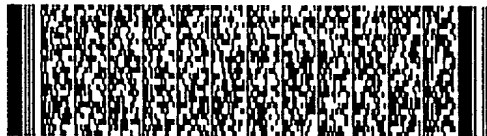
第 22/24 頁



第 23/24 頁



第 24/24 頁



圖式

1

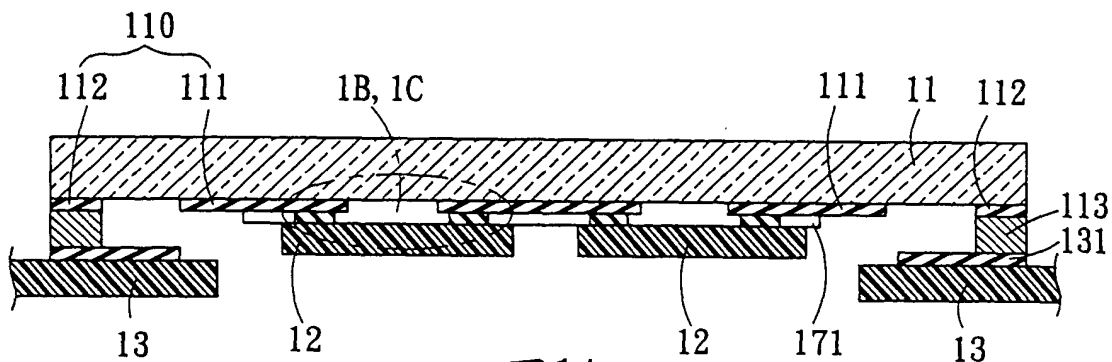


圖1A

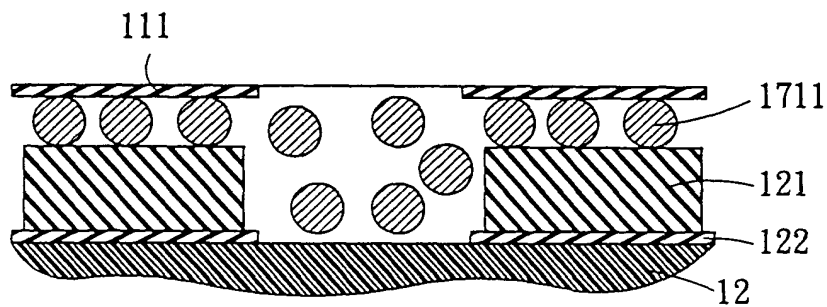


圖1B

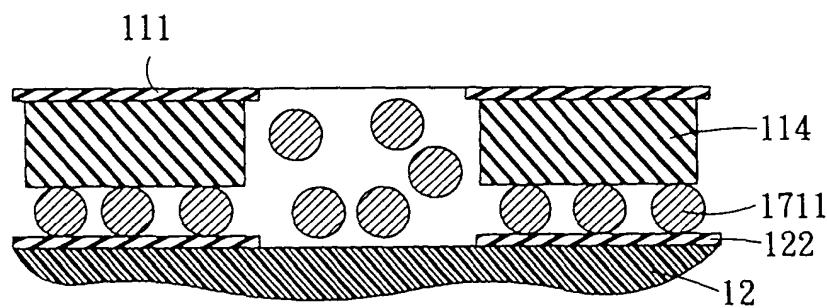


圖1C

裝

訂

線

圖式

1

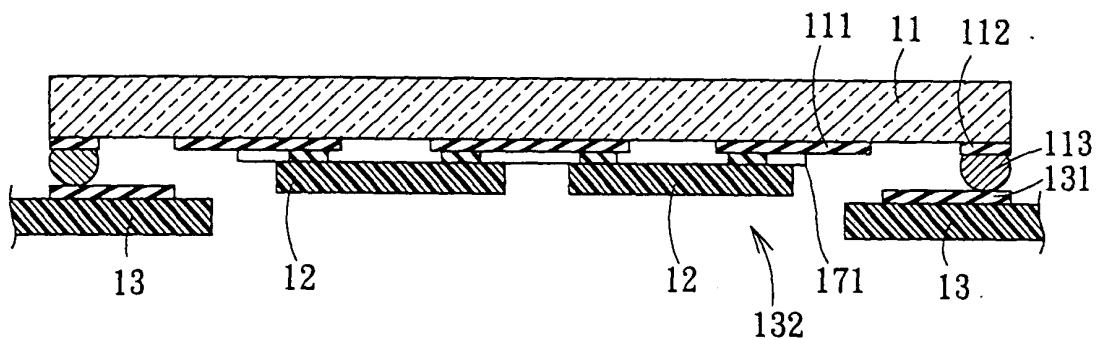


圖2

1

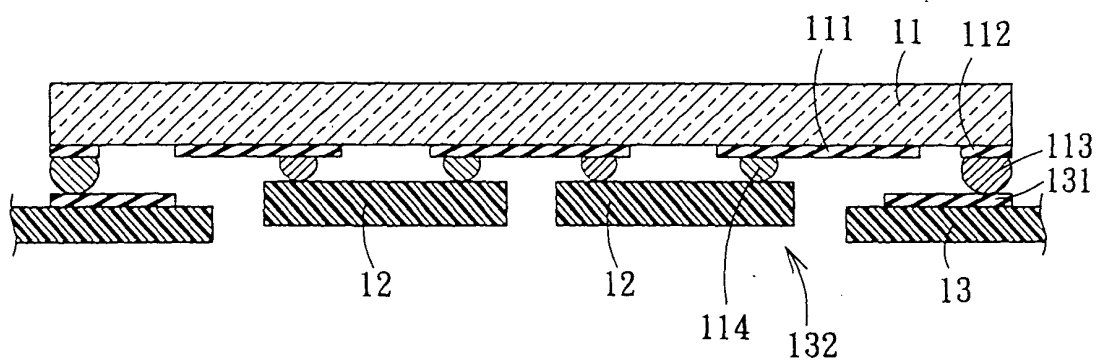


圖3

裝

訂

線

圖式

1

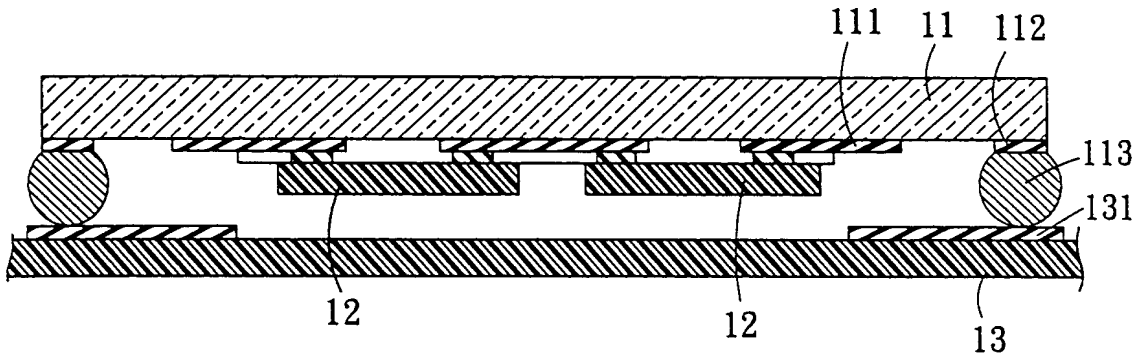


圖4

1

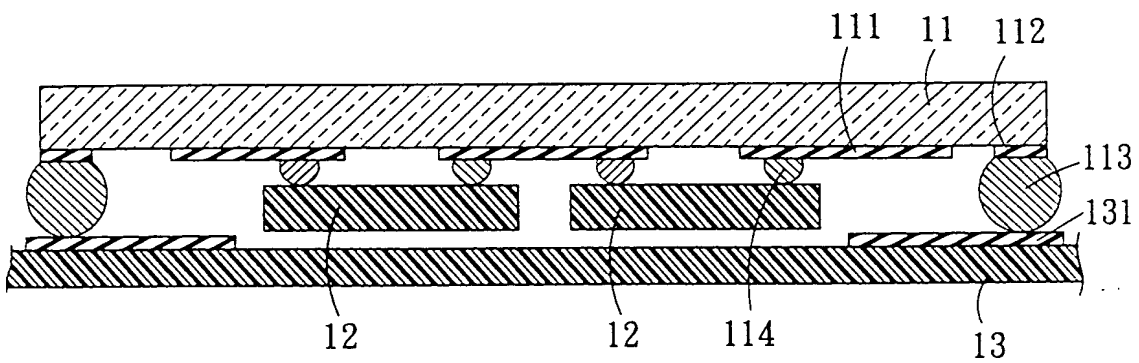


圖5

裝

訂

線

圖式

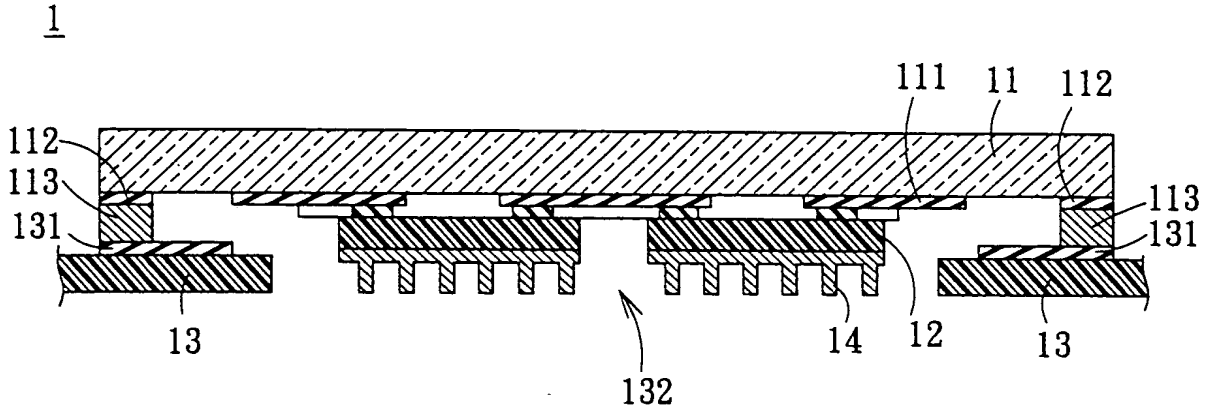


圖6

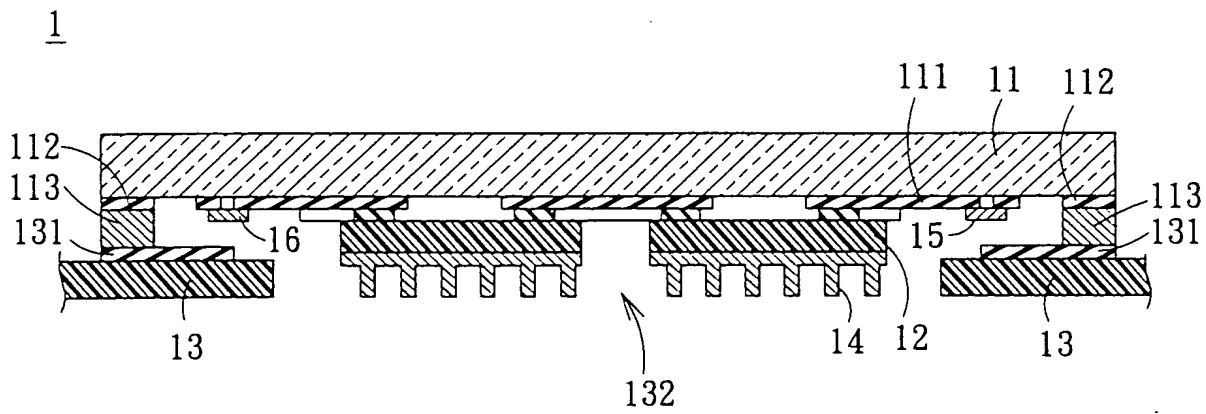


圖7

圖式

2

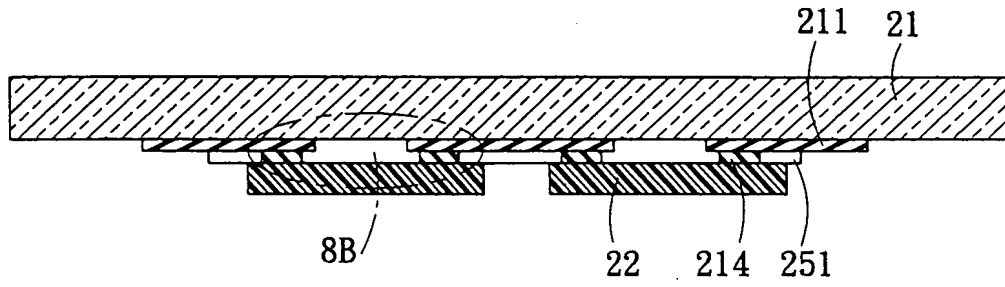


圖8A

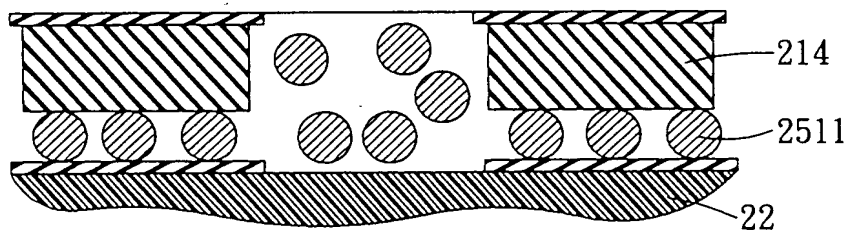


圖8B

裝

訂

線

圖式

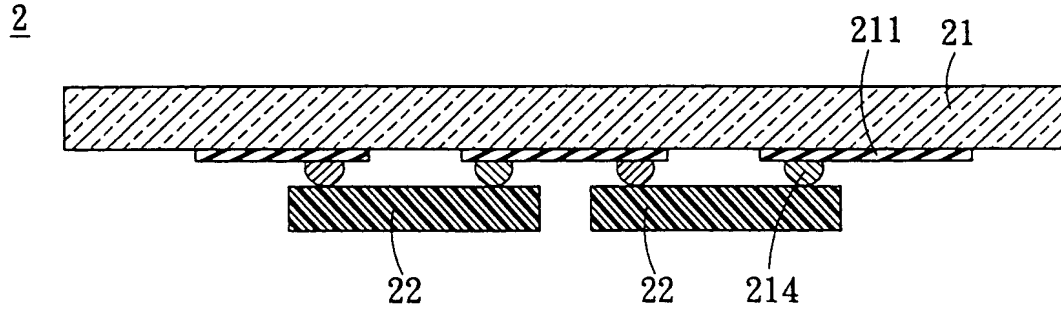


圖9

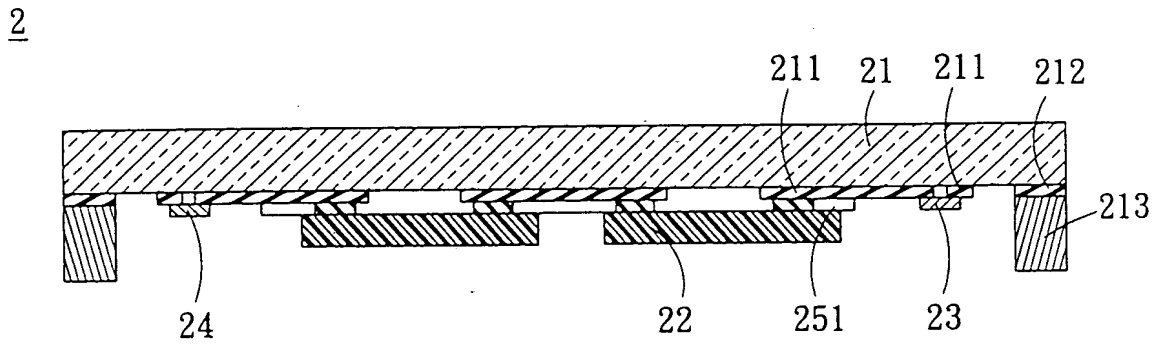


圖10

圖式

2

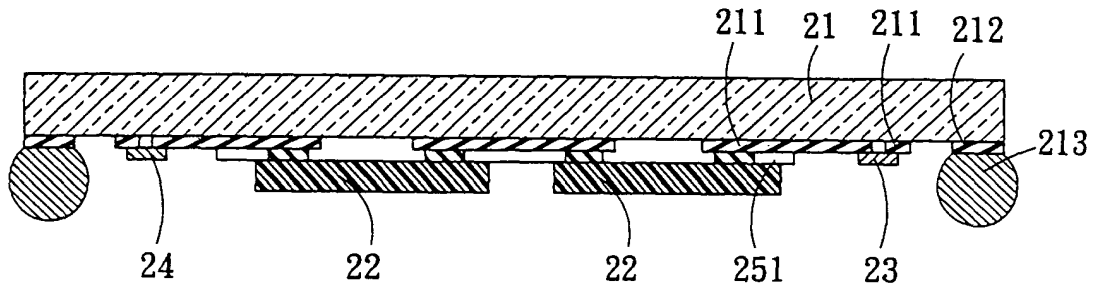


圖11

2

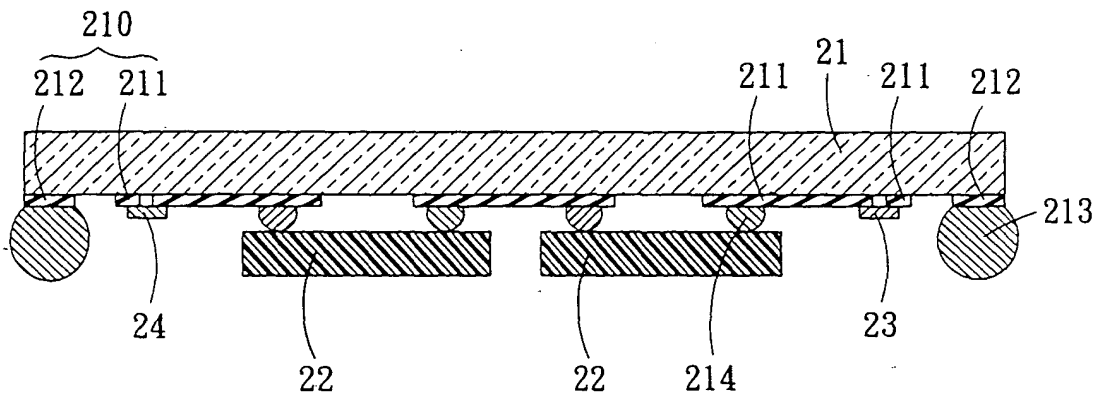


圖12

裝

訂

線